

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-203298

(43)Date of publication of application : 27. 07. 2001

(51)Int. Cl.

H01L 23/12

H01L 21/60

(21)Application number : 2000-010714 (71)Applicant : HITACHI LTD

(22)Date of filing : 19. 01. 2000 (72)Inventor : UJIE KENJI
ARITA JUNICHI

(54) SEMICONDUCTOR DEVICE AND PRODUCING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten time and to reduce costs for the wiring design of a chip supporting substrate concerning a semiconductor device, with which a flip chip connection is performed.

SOLUTION: This device is composed of multiple bump electrodes for flip chip connection electrically connected with the pad of a semiconductor chip 1 and located in the shape of grid, a BGA substrate 2 for supporting the semiconductor chip 1 with the flip chip connection, and multiple solder balls provided in the shape of grid on the backside of the BGA substrate 1. Concerning multiple bump lands 2a for chip provided on a chip supporting plane 2b of the BGA substrate 2 and multiple bump lands 2h for external terminal provided on the backside, the bump lands 2a for chip are provided with the 1/2 install pitch of the bump lands 2h for external terminal and the bump lands 2a for chip and the bump lands 2h for external terminal are mutually provided while being regularly located. Thus, wiring layout such as location of through holes 2d can be facilitated.

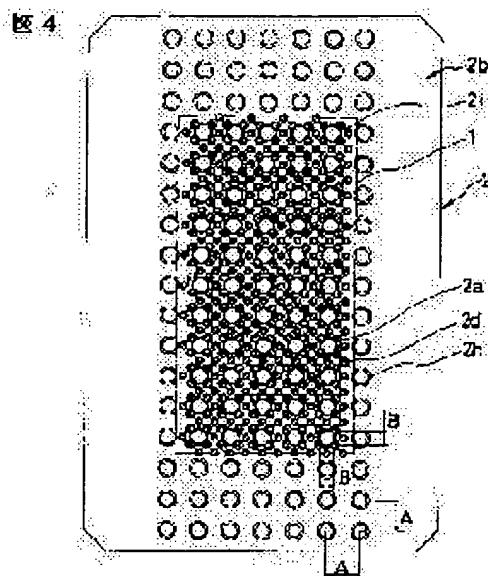


図 4
1: 半導体チップ
2: BGA基板(チップ支持基体)
2a: チップ用バンプランド(バンプ電極接続領域)
2b: チップ支持面
2d: 外部端子用バンプランド(外部端子接続領域)

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection][Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] About a semiconductor manufacturing technology, especially this invention is applied to time shortening and cost reduction of a wiring design in the chip support substrate of BGA (Ball Grid Array), and relates to effective technology.

[0002]

[Description of the Prior Art] the technology explained below -- this invention -- research -- it faces completing, this invention person inquires, and the outline is as follows

[0003] In the semiconductor device which has the semiconductor chip in which semiconductor integrated circuits, such as a cache memory, were formed, BGA is known as an example of package structure which attains the miniaturization. This BGA is the thing of the area array structure where two or more solder balls which are external terminals were attached in the rear face of the BGA substrate (chip support substrate) which supports a semiconductor chip, and is also a semiconductor package suitable for high density assembly.

[0004] In addition, in BGA for cache memories etc., the flip-chip-bonding method which was excellent in the electrical property from the wirebonding method is becoming in use.

[0005] This flip chip bonding makes the active side (principal plane) of a semiconductor chip counter with the chip back face of a BGA substrate, is the technology of mounting a semiconductor chip in this state, arranges a bump electrode to the bump land for a chip of a BGA substrate (terminal for bump electrode loading), and is supporting the semiconductor chip through the aforementioned bump electrode.

[0006] Here, BGA which performed flip chip bonding is indicated by JP,9-82756,A, JP,9-92685,A, JP,6-326211,A, and JP,7-111278,A, for example.

[0007]

[Problem(s) to be Solved by the Invention] a place -- especially as for the relation between the pitch of the surface electrode of a semiconductor chip and arrangement, and the installation pitch of the bump land for a chip of a BGA substrate and arrangement that mount this, the rule is not defined in the flip chip bonding of said technology

[0008] Therefore, when the installation pitch of the bump land for external terminals prepared in a chip back face and the field of an opposite side carries out flip chip bonding of the semiconductor chip to the already decided BGA substrate, through hole arrangement and the wiring layout of a BGA substrate are complicated as the pitch of the surface electrode of a semiconductor chip is arbitrary.

[0009] Consequently, the problem that time to spend on the layout design of wiring in a BGA substrate increases arises.

[0010] Moreover, an expensive build-up substrate and a multilayer-interconnection substrate must be applied to a BGA substrate, and a bird clapper becomes a cost rise with a problem.

[0011] The purpose of this invention is to offer the semiconductor device and its manufacture method of the flip chip bonding which plans time shortening and cost reduction of the wiring design of a chip

support substrate.

[0012] The other purposes and the new feature will become clear from description and the accompanying drawing of this specification at the aforementioned row of this invention.

[0013]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0014] Namely, two or more bump electrodes for flip chip bonding which connect the semiconductor device of this invention with the surface electrode of a semiconductor chip electrically, The chip support substrate which supports the aforementioned semiconductor chip by flip chip bonding through the aforementioned bump electrode, Two or more terminals for bump electrode loading which have two or more external terminals of the aforementioned semiconductor device formed in the chip back face of the aforementioned chip support substrate, and the field of an opposite side, and were prepared in the aforementioned chip back face of the aforementioned chip support substrate, In two or more terminals for external terminal loading prepared in the aforementioned chip back face and the field of an opposite side, between the aforementioned terminal for bump electrode loading, and the aforementioned terminal for external terminal loading, each installation pitch and arrangement have regularity mutually, and are prepared in it.

[0015] Furthermore, two or more bump electrodes for flip chip bonding which connect the semiconductor device of this invention with the surface electrode of a semiconductor chip electrically, The chip support substrate which supports the aforementioned semiconductor chip by flip chip bonding through the aforementioned bump electrode, Two or more terminals for bump electrode loading which have two or more external terminals of the aforementioned semiconductor device formed in the chip back face of the aforementioned chip support substrate, and the field of an opposite side, and were prepared in the aforementioned chip back face of the aforementioned chip support substrate, In two or more terminals for external terminal loading prepared in the aforementioned chip back face and the field of an opposite side, while the aforementioned terminal for bump electrode loading is prepared in one half of the installation pitches of the aforementioned terminal for external terminal loading The aforementioned terminal for bump electrode loading and the aforementioned terminal for external terminal loading are mutually prepared by arrangement with regularity.

[0016] While according to this invention becoming possible to give regularity and to pull out a connection pattern and a through hole from the terminal for bump electrode loading, consequently being able to shorten the time of the wiring layout design in a chip support substrate, wiring layout design in consideration of wiring length can be performed.

[0017] Therefore, the flexibility of a wiring layout can be increased and easy-ization of a wiring layout can be attained.

[0018] Moreover, two or more terminals for bump electrode loading in which the manufacture method of the semiconductor device of this invention is formed in a chip back face, and the bump electrode for flip chip bonding can be carried, In two or more terminals for external terminal loading prepared in the aforementioned chip back face and the field of an opposite side The process for which the chip support substrate by which each installation pitch and arrangement were mutually prepared by having regularity between the aforementioned terminal for bump electrode loading and the aforementioned terminal for external terminal loading is prepared, In the process which carries out flip chip bonding of the semiconductor chip to the aforementioned chip back face of the aforementioned chip support substrate through the aforementioned bump electrode, and the aforementioned chip back face of the aforementioned chip support substrate and the field of an opposite side in which the aforementioned bump electrode was prepared It has the process which prepares the external terminal of a semiconductor device in two or more terminals for external terminal loading with which the aforementioned installation pitch and the aforementioned arrangement were installed in the aforementioned terminal for bump electrode loading, and mutual by having regularity.

[0019]

[Embodiments of the Invention] Hereafter, the gestalt of operation of this invention is explained in detail

based on a drawing. In addition, in the complete diagram for explaining the gestalt of operation, the same sign is given to the member which has the same function, and explanation of the repeat is omitted. [0020] The composition perspective diagram which drawing 1 decomposes an example of the structure of the semiconductor device (BGA) in the gestalt of operation of this invention, and is shown, The fragmentary sectional view showing the structure which shows drawing 2 in drawing 1 and an example of a mounting state of a semiconductor device, The expansion plan showing an example of the structure of a chip-size package with the semiconductor chip included in the semiconductor device which shows drawing 3 to drawing 1 , The plan in which drawing 4's penetrating an example of arrangement of the terminal for bump electrode loading and the terminal for external terminal loading in the BGA substrate used for the semiconductor device shown in drawing 1 , and a through hole, and showing a semiconductor chip and a BGA substrate, The expansion plan showing an example of arrangement of the terminal for bump electrode loading and through hole in the BGA substrate which shows drawing 5 to drawing 4 , and a circuit pattern, The bottom plan view showing an example of correspondence of arrangement of the external terminal of the semiconductor device which shows drawing 6 to drawing 1 , and the pin number of this, the pin functional diagram showing in an abbreviation an example of the function of each external terminal which shows drawing 7 in drawing 6 , and drawing 8 are the pin functional description views explaining the detail of each abbreviation in the function of the external terminal shown in drawing 7 .

[0021] The semiconductor device of the gestalt of this operation shown in drawing 1 and drawing 2 mounts the semiconductor chip 1 by which semiconductor integrated circuits, such as memory (for example, SSRAM (Synchronous Static Random Access Memory)), were formed in principal plane 1b by flip chip bonding in the BGA substrate 2 which is a chip support substrate, for example, is SSRAM for the level 2 caches of an engineering workstation etc., and is BGA9 of the area array type with which two or more solder balls 3 were formed in rear-face 2c of the BGA substrate 2 in the shape of a grid as an external terminal.

[0022] In addition, the gestalt of this operation explains the case of BGA9 of 119 pins (7x17 pins) as an example of the above BGA 9. However, the number of external terminals, i.e., the number of installation of the solder ball 3, may not be limited to 119 pieces, and the number may be less than 119 pieces, or may be 119 or more pieces, such as 153 etc. pieces.

[0023] Moreover, in BGA9 explained with the gestalt of this operation, as shown in drawing 1 and drawing 6 , the solder ball 3 is arranged in the shape of a grid (7x17) by chip back-face 2b of the BGA substrate 2, and rear-face 2c which is the field of an opposite side, and is prepared in it.

[0024] Furthermore, the gestalt of this operation explains the case where the chip-size package 6 with which rewiring 6a as shows arrangement of pad 1a (surface electrode) formed in the principal plane 1b to drawing 3 replaced with arrangement of the shape of a grid for bump electrode 4 as a semiconductor chip 1 was formed is used.

[0025] That is, on principal plane 1b of the semiconductor chip 1 shown in drawing 2 , 1d of insulator layers and rewiring 6a which were formed at the last process of a semiconductor manufacturing process as shown in drawing 3 are formed, and the array of pad 1a is transposed to the array of the shape of a grid for bump electrode 4 by this rewiring 6a.

[0026] Thereby, the signal from a semiconductor chip 1 is told to the solder ball 3 which is the external terminal of the rear-face 2c through rewiring 6a and the BGA substrate 2.

[0027] Then, when the composition of the above BGA 9 is explained, it is that in which a semiconductor chip 1 is mounted by flip chip bonding. Two or more bump electrodes 4 for flip chip bonding which connected with pad 1a (surface electrode) of a semiconductor chip 1 electrically, and have been arranged in the shape of a grid, The BGA substrate 2 (chip support substrate) which supports a semiconductor chip 1 by flip chip bonding through two or more bump electrodes 4, Two or more solder balls 3 which are the external terminals of BGA9 prepared in rear-face 2c of the BGA substrate 2 in the shape of a grid, Two or more bump land 2a for a chip which consisted of a protective cover 8 attached in tooth-back 1c of a semiconductor chip 1 by adhesives 7, and was prepared in chip back-face 2b of the BGA substrate 2 (terminal for bump electrode loading), In two or more bump land 2h for external terminals

(terminal for external terminal loading) prepared in rear-face 2c, while being prepared in the installation pitch of 1/2 whose bump land 2a for a chip is bump land 2h for external terminals Bump land 2a for a chip and bump land 2h for external terminals are mutually prepared by arrangement with regularity. [0028] namely, in the BGA substrate 2 of BGA9 of the gestalt of this operation As shown in drawing 4 , the installation pitch of two or more bump land 2a for a chip formed in the chip back-face 2b by grid-like arrangement It is prepared by one half of the two or more bump land 2h [for external terminals] installation pitches formed in the rear-face 2c side of chip back-face 2b by grid-like arrangement, and sets to the chip loading field of chip back-face 2b. It has regularity to which small circular four bump lands 2for chip a accomplishes a square corresponding to one circular bump land 2h [for external terminals] periphery by the side of rear-face 2c, and is arranged. by this Bump land 2a for a chip by the side of chip back-face 2b and bump land 2h for external terminals by the side of rear-face 2c are mutually arranged in the state with regularity.

[0029] That is, small four bump lands 2for chip a squarely arranged in chip back-face 2b is prepared so that it may correspond to one circular bump land 2h [for external terminals] periphery of rear-face 2c of the BGA substrate 2.

[0030] In addition, drawing 4 penetrates a semiconductor chip 1 and the BGA substrate 2 for the thing in the state where the chip-size package 6 (refer to drawing 3) with the semiconductor chip 1 was mounted in chip back-face 2b of the BGA substrate 2, from the upper part, and shows arrangement of bump land 2for chip a, and bump land 2h for external terminals, penetration type through hole 2d, and connection pattern 2i.

[0031] Here, a detail bump land 2a for a chip in the BGA substrate 2 in SSRAM for the level 2 caches of an engineering workstation and arrangement-related [through hole 2d] is explained using drawing 5 .

[0032] In addition, in Above SSRAM, generally, every direction of the installation pitch of the solder ball 3 which is the external terminal arranged in the shape of a grid at rear-face 2c of the BGA substrate 2 is 1.27mm. Therefore, by BGA9 of the gestalt of this operation, the installation pitch (B) of bump land 2a for a chip shown in drawing 5 is 1/2 [1.27mm], and is set to $B = 0.635\text{mm}$.

[0033] As a wiring layout rule, moreover, a line pattern / space = 0.05mm / 0.05mm, The diameter of the diameter / solder-resist opening 2e of bump land 2a for a chip = 0.35mm of $\phi 0.25\text{mm}/\phi$, The diameter of through hole 2d a diameter / through hole land 2j = 0.30mm of $\phi 0.20\text{mm}/\phi$, Solder-resist position gap tolerance = The inside of bump land 2a [in / drawing 5 / further / it is referred to as 0.05mm and] for four chips arranged squarely, The center of through hole land 2j connected by bump land 2a for a chip and connection pattern 2i which have been arranged under the right Go with this bump land 2a for a chip, and it arranges at the center with lower left bump land 2a for a chip. And if it goes with the edge of through hole land 2j and distance (F) with the edge of solder-resist opening 2e of lower left bump land 2a for a chip is set to $F = 0.05\text{mm}$ The distance (E) of the edge of solder-resist opening 2e of bump land 2a for a chip on the left and the edge of through hole land 2j is set to $E \geq 0.22\text{mm}$.

[0034] this value of (E) -- drawing 5 -- setting -- $C = 0.635 - H$ and $H^2 + G^2 = I^2$ $C = 0.635 - \sqrt{I^2 - G^2}$ -- becoming -- thereby -- $C = 0.635 - \sqrt{(0.35/2 + 0.05 + 0.3/2)^2 - (0.635/2)^2}$ $\geq 0.635 - 0.20 = 0.435$ -- moreover $C^2 + G^2 = D^2$ $D = \sqrt{G^2 + C^2}$ -- becoming -- $D = \sqrt{(0.635/2)^2 + C^2}$ ≥ 0.54 -- $E = D - 0.35 / 2 - 0.3 / 2 \geq 0.22$ asks further

[0035] the case where it lets one circuit pattern 2k which is a line pattern pass between the edge of solder-resist opening 2e of upper left bump land 2a for a chip, and the edge of through hole land 2j in that case -- distance [of solder-resist position gap tolerance (0.05mm) + circuit pattern 2k] (0.05mm) between width-of-face (0.05mm) + wiring = -- although it is required 0.15mm, the aforementioned distance (E) is $E \geq 0.15\text{mm}$ while being $E \geq 0.22\text{mm}$

[0036] Therefore, since the aforementioned distance (E) is sufficiently larger than the distance (0.15mm) needed, it can do what (it takes about) circuit pattern 2k which is a line pattern is formed for between the edge of solder-resist opening 2e of bump land 2a for a chip at the upper left of drawing 5 , and the edge of through hole land 2j.

[0037] Thus, it can increase the flexibility of a wiring design on wiring layout design for through hole 2d and circuit pattern 2k to be formed among bump land 2a for a chip in chip back-face 2b of the BGA

substrate 2, and it can aim at shortening of a design time. By the BGA substrate 2 shown in drawing 4 of the gestalt of this operation, bump land 2a for a chip and through hole 2d can be regularly arranged at a rate of about 1 to 1.

[0038] Moreover, the flip chip bonding in BGA9 makes the active side (principal plane 1b) of the semiconductor chip 1 in a chip-size package 6 counter with chip back-face 2b of the BGA substrate 2, and mounts a semiconductor chip 1 in the BGA substrate 2 through the bump electrode 4 which consists of solder etc. in this state (face down).

[0039] In addition, beforehand, since the semiconductor chip 1 in BGA9 of the gestalt of this operation is also a chip-size package 6, as shown at drawing 3 on 1d of insulator layers of principal plane 1b of a semiconductor chip 1, that by which the bump electrode 4 by solder has been arranged in the shape of a grid has been used for it.

[0040] Moreover, it is the multilayer-interconnection substrate of about 2-4 layers, and the BGA substrate 2 can be electrically connected by penetration type through hole 2d as [shows even bump land 2h for external terminals formed in the rear-face 2c from bump land 2 for chip a formed in chip back-face 2b to drawing 2].

[0041] Furthermore, in order to raise an electrical property, 2f of solid wiring for GND and 2g of solid wiring for power supplies are formed in the interior of the BGA substrate 2 which is a multilayer-interconnection substrate.

[0042] Moreover, between a semiconductor chip 1 and the BGA substrate 2, as shown in drawing 1 and drawing 2 , it fills up with the under-filling 5 by the epoxy resin etc., and the connection reliability of the soldered joint by flip chip bonding can be improved by this.

[0043] Moreover, the protective cover 8 as shown in drawing 2 is attached in tooth-back 1c of the semiconductor chip 1 of BGA9 of the gestalt of this operation by the adhesives 7, such as silicone adhesives.

[0044] In addition, a protective cover 8 is formed with metal plates, such as stainless steel, and bending by the lower part is formed in the protective cover 8 of BGA9 of the gestalt of this operation so that side 1e of a semiconductor chip 1 can also be protected.

[0045] Moreover, in BGA9 of SSRAM for the level 2 caches of an engineering workstation, near this BGA9, as shown in drawing 2 , CPU (Central Processing Unit) of the same BGA structure etc. is mounted, and it is mounted in the mounting substrate 10 by the reflow etc., and thereby, each solder ball 3 which is an external terminal melts by the reflow, and is electrically connected with each substrate side edge child 10a of the mounting substrate 10.

[0046] In addition, in BGA9, drawing 6 , drawing 7 , and drawing 8 make the pin number of the solder ball 3 which are 119 external terminals arranged in the shape of a grid at rear-face 2c of the BGA substrate 2, and the function of each pin correspond by matrix arrangement, and show them.

[0047] Next, the manufacture method of the semiconductor device (BGA9) by the form of this operation is explained.

[0048] In addition, although the manufacture method of the aforementioned semiconductor device is the manufacture method of BGA9 of 119 pins shown in drawing 1 and drawing 2 , the number of external terminals may not be limited to 119 pins, and may be things other than 119 pins.

[0049] First, two or more semiconductor chips 1 in which the semiconductor integrated circuit of requests, such as memory, was formed are prepared.

[0050] With the gestalt of this operation, the chip-size package 6 with which rewiring 6a as shows arrangement of pad 1a formed in principal plane 1b of a semiconductor chip 1 to drawing 3 replaced with arrangement of the shape of a grid for bump electrode 4 was formed is prepared.

[0051] That is, on principal plane 1b of the semiconductor chip 1 of a chip-size package 6, 1d of insulator layers and rewiring 6a which were formed at the last process of a semiconductor manufacturing process are formed, and the array of pad 1a is transposed to the array of the shape of a grid for bump electrode 4 by this rewiring 6a.

[0052] In addition, in case the bump electrode 4 by solder is formed on this semiconductor chip 1 at the shape of a grid, solder printing is performed, a reflow of this is carried out, and the bump electrode 4 is

formed.

[0053] Two or more bump land 2a for a chip which is prepared in chip back-face 2b, and can, on the other hand, carry the bump electrode 4 for flip chip bonding. In chip back-face 2b and two or more bump land 2h for external terminals prepared in rear-face 2c of an opposite side, while being prepared in the installation pitch of 1/2 whose bump land 2a for a chip is bump land 2h for external terminals The BGA substrate 2 (chip support substrate) shown in drawing 4 by which bump land 2a for a chip and bump land 2h for external terminals were mutually prepared by arrangement with regularity is prepared.

[0054] The BGA substrate 2 used with the gestalt of this operation here As shown in drawing 4 , in the chip loading field of chip back-face 2b, the installation pitch (0.635mm) of bump land 2a for a chip formed in the chip back-face 2b It is prepared by one half of the bump land 2h [for external terminals] installation pitches (1.27mm) formed in the rear-face 2c side of chip back-face 2b. It has regularity to which small circular four bump lands 2for chip a accomplishes a square corresponding to one circular bump land 2h [for external terminals] periphery, and is arranged. and by this Bump land 2a for a chip and bump land 2h for external terminals are mutually arranged in the state with regularity.

[0055] That is, small four bump lands 2for chip a squarely arranged in the chip loading field of chip back-face 2b is prepared so that it may correspond to one circular bump land 2h [for external terminals] periphery of rear-face 2c of the BGA substrate 2.

[0056] Thereby, by the BGA substrate 2 of the gestalt of this operation, through hole 2d of the penetration type which connects electrically bump land 2a for a chip by the side of chip back-face 2b and bump land 2h for external terminals by the side of the rear-face 2c is regularly prepared in the chip loading field of the BGA substrate 2 at bump land 2a for a chip, and a rate of about 1 to 1.

[0057] Then, flip chip bonding of the semiconductor chip 1 of a chip-size package 6 is carried out to chip back-face 2b of the BGA substrate 2 through the bump electrode 4.

[0058] Each bump electrode 4 first arranged in the shape of a grid at 1d of insulator layers of the semiconductor chip 1 of a chip-size package 6 in that case as shown in drawing 3 , A position with each bump land 2a for a chip of chip back-face 2b of the BGA substrate 2 corresponding to this is doubled. And principal plane 1b of a semiconductor chip 1 and chip back-face 2b of the BGA substrate 2 are made to counter, and a semiconductor chip 1 6, i.e., a chip-size package, is arranged on chip back-face 2b of the BGA substrate 2 in the state of a face down.

[0059] Then, a reflow is performed, the bump electrode 4 of solder is fused, and each bump electrode 4 and bump land 2a for a chip of the BGA substrate 2 are connected.

[0060] Thereby, flip chip bonding is completed.

[0061] Then, 119 solder balls 3 which are external terminals are formed in each bump land 2h for external terminals of rear-face 2c of the BGA substrate 2 by imprint.

[0062] In addition, it is drawing 6 which showed arrangement of the shape of a grid of the solder ball 3 which is the external terminal of BGA9.

[0063] Then, to the flip-chip-bonding section of a semiconductor chip 1 and the BGA substrate 2, the resin of an epoxy system etc. is applied and under-filling 5 is formed.

[0064] Then, the adhesives 7, such as silicone adhesives, are applied to tooth-back 1c of a semiconductor chip 1, and a protective cover 8 is attached here.

[0065] Thereby, BGA9 as shown in drawing 1 and drawing 2 can be manufactured.

[0066] According to the semiconductor device (BGA9) and its manufacture method of a gestalt of this operation, the following operation effects are acquired.

[0067] That is, in the BGA substrate 2, it becomes possible to give regularity and to pull out connection pattern 2i and through hole 2d from bump land 2for chip a, by being prepared in the installation pitch of 1/2 whose bump land 2a for a chip is bump land 2h for external terminals, and preparing bump land 2a for a chip, and bump land 2h for external terminals mutually by arrangement with regularity.

[0068] The BGA substrate 11 of the example of comparison shown in drawing 12 to the BGA substrate 2 of BGA9 of the gestalt of this operation here is explained.

[0069] The BGA substrate 11 of the example of comparison shown in drawing 12 has the installation pitch of bump land 2a for a chip, and a bump land 2h [for external terminals] installation pitch

unrelated to each other, and is the case of the arrangement whose regularity both do not have mutually. [0070] For example, in the BGA substrate 11, a bump land 2h [for external terminals] installation pitch (A) is $A = 1.27\text{mm}$, and the installation pitch (B) of bump land 2a for a chip is $B = 0.70\text{mm}$. Furthermore, arrangement of bump land 2a for a chip to a bump land 2h [for external terminals] position is made unrelated. In addition, although through hole 2d has been arranged in drawing 12 only to 1/[of the chip loading field in the BGA substrate 11] 4 field Thus, through hole 2d connected by bump land 2a for a chip, and connection pattern 2i A wiring path also becomes complicated, when arrangement of through hole 2d will become very complicated and arranging takes time, in order to arrange looking for one place at a time so that it may not lap with bump land 2h for external terminals.

[0071] Therefore, the BGA substrate 2 shown in drawing 4 of the gestalt of this operation is clearly easier for the wiring layout design.

[0072] That is, according to the BGA substrate 2 of the gestalt of this operation shown in drawing 4 , while being able to shorten the time of the wiring layout design, wiring layout design in consideration of wiring length can be performed, consequently the flexibility of a wiring layout can be increased, and easy-ization of a wiring layout can be attained.

[0073] Moreover, since it becomes possible to give regularity and to pull out through hole 2d from bump land 2for chip a, it ends with the design of only penetration type through hole 2d, therefore it is not necessary to use a multilayer-interconnection substrate with expensive build-up substrate, lamination substrate, etc.

[0074] Consequently, low-cost-ization of the BGA substrate 2 can be attained and, thereby, low-cost-ization of BGA9 to which flip chip bonding is performed can be realized.

[0075] Moreover, this can be shipped also as a chip-size package simple substance by using the chip-size package 6 with which rewiring 6a which transposes arrangement of the pad 1a to arrangement of the shape of a grid for bump electrode 4 was formed as a semiconductor chip 1 which performs flip chip bonding.

[0076] Moreover, while being able to prevent breakage of the semiconductor chip 1 in a heat cycle test etc. by attaching in tooth-back 1c of a semiconductor chip 1 the protective cover 8 which protects this, thermolysis nature can be raised as compared with closure by the mould, consequently the performance of BGA9 can be improved.

[0077] Furthermore, when attaching a radiation fin etc. in the destination, compared with the resin by the mould, the direction of a protective cover 8 has the high junction nature of the aforementioned radiation fin, consequently can raise the thermolysis nature of BGA9 further.

[0078] As mentioned above, although invention made by this invention person was concretely explained based on the gestalt of implementation of invention, it cannot be overemphasized by this invention that it can change variously in the range which is not limited to the gestalt of implementation of the aforementioned invention and does not deviate from the summary.

[0079] For example, although the gestalt of the aforementioned implementation explained the case where through hole 2d was necessarily connected to no bump land 2a for a chip, in the BGA substrate 2, you may connect through hole 2d to all bump land 2a for a chip through connection pattern 2i like the BGA substrate 2 of the gestalt of other operations shown in drawing 9 .

[0080] Namely, the BGA substrate 2 of the gestalt of other operations shown in drawing 9 In the chip loading field bump land 2for chip a, and a bump land 2h [for external terminals] installation pitch like the case of the gestalt of the aforementioned implementation, respectively 0.635mm , Under a rule to which it is referred to as 1.27mm , and bump land 2a for a chip overlaps bump land 2h for external terminals of a chip loading field, station both and it sets to the chip loading field of chip back-face 2b. Through hole 2d is arranged through connection pattern 2i to all bump land 2a for a chip.

[0081] According to this, the flexibility of a wiring layout is possible for giving regularity to bump land 2a for a chip, and bump land 2h for external terminals in the aforementioned chip loading field, and stationing both, although it is inferior to the thing of the gestalt of the aforementioned implementation.

[0082] Moreover, you may make equal bump land 2a for a chip, and a bump land 2h [for external terminals] installation pitch like the BGA substrate 2 of the gestalt of other operations shown in

drawing 10 .

[0083] That is, the BGA substrate 2 shown in drawing 10 stations both under a rule which both set bump land 2a for a chip, and a bump land 2h [for external terminals] installation pitch to 1.27mm (A=B), and bump land 2h for external terminals and bump land 2a for a chip overlap in a chip loading field.

[0084] As shown in drawing 10 also as a BGA substrate 2 by such arrangement, arrangement of through hole 2d etc. can be performed easily, therefore the operation effect of the gestalt of the aforementioned implementation and the same operation effect can be acquired. Furthermore, it is good also considering the installation pitch of bump land 2a for a chip as bump land 2h [for external terminals] the integral multiple or the arbitrary multiples of an installation pitch, and the operation effect of the gestalt of the aforementioned implementation and the same operation effect can be acquired also by this.

[0085] Moreover, although the gestalt of the aforementioned implementation and the gestalt of operation of others [above] explained the case where the installation pitch of the solder ball 3 which is the external terminal of BGA9 was 1.27mm, the installation pitches of the solder ball 3 may be things other than 1.27mm.

[0086] Moreover, a protective cover 8 may be a thing of a flat configuration which does not have bending like [although the gestalt of the aforementioned implementation explained the case where bending which can also protect side 1e of a semiconductor chip 1 was formed in the protective cover 8 as shown in drawing 2] BGA9 of the gestalt of other operations shown in drawing 11 .

[0087] Furthermore, you may perform closure by the mould as a substitute of a protective cover 8.

[0088] Moreover, although the gestalt of the aforementioned implementation explained the case where the chip-size package 6 with which 1d of insulator layers was formed in principal plane 1b, and rewiring 6a was formed in 1d of insulator layers of a parenthesis as a semiconductor chip 1 was used, you may use the semiconductor chip 1 which does not have rewiring 6a.

[0089] Moreover, if it is the thing of the area array type which arranges an external terminal to rear-face 2c of a chip support substrate while the aforementioned semiconductor device has a chip support substrate although the gestalt of the aforementioned implementation and the gestalt of operation of others [above] explained the case where the aforementioned semiconductor device was BGA9, and performing flip chip bonding, they are PGA other than BGA (Pin GridArray). You may be LGA (Land Grid Array) etc.

[0090] In addition, the aforementioned semiconductor device may carry what [not only] carried the semiconductor chip 1 of memory, such as SSRAM, but the semiconductor chip 1 of a microcomputer, ASIC (Application Specific Integrated Circuit), or a logic function.

[0091]

[Effect of the Invention] It will be as follows if the effect acquired by the typical thing among invention indicated in this application is explained briefly.

[0092] (1) It becomes possible by preparing the terminal for bump electrode loading in the chip support substrate of . semiconductor device in 1/2 of the terminal for external terminal loading, or the installation pitch of an integral multiple, and preparing the terminal for bump electrode loading, and the terminal for external terminal loading mutually by arrangement with regularity to give regularity and to pull out a connection pattern and a through hole. By this, the time of the wiring layout design in a chip support substrate can be shortened, consequently the flexibility of a wiring layout can be increased, and easy-ization of a wiring layout can be attained.

[0093] (2 Since it becomes possible to give regularity and to pull out a through hole from the terminal for . bump electrode loading, it ends with the design of only a penetration through hole, therefore it is not necessary to use a multilayer-interconnection substrate with an expensive build-up substrate etc.) Consequently, low-cost-ization of a chip support substrate can be attained and, thereby, low-cost-ization of a semiconductor device can be realized.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

 CLAIMS

[Claim(s)]

[Claim 1] Two or more bump electrodes for flip chip bonding which are the semiconductor devices with which the semiconductor chip was mounted, and connect with the surface electrode of the aforementioned semiconductor chip electrically by flip chip bonding, The chip support substrate which supports the aforementioned semiconductor chip by flip chip bonding through the aforementioned bump electrode, Two or more terminals for bump electrode loading which have two or more external terminals of the aforementioned semiconductor device formed in the chip back face of the aforementioned chip support substrate, and the field of an opposite side, and were prepared in the aforementioned chip back face of the aforementioned chip support substrate, The semiconductor device characterized by for each installation pitch and arrangement having regularity mutually, and preparing them in it in two or more terminals for external terminal loading prepared in the aforementioned chip back face and the field of an opposite side between the aforementioned terminal for bump electrode loading, and the aforementioned terminal for external terminal loading.

[Claim 2] The semiconductor device characterized by being prepared by the arrangement characterized by providing the following. Two or more bump electrodes for flip chip bonding which are the semiconductor devices with which the semiconductor chip was mounted, and connect with the surface electrode of the aforementioned semiconductor chip electrically by flip chip bonding. The chip support substrate which supports the aforementioned semiconductor chip by flip chip bonding through the aforementioned bump electrode. Two or more terminals for bump electrode loading which have two or more external terminals of the aforementioned semiconductor device formed in the chip back face of the aforementioned chip support substrate, and the field of an opposite side, and were prepared in the aforementioned chip back face of the aforementioned chip support substrate. While the aforementioned terminal for bump electrode loading is prepared in two or more terminals for external terminal loading prepared in the aforementioned chip back face and the field of an opposite side in one half of the installation pitches of the aforementioned terminal for external terminal loading, the aforementioned terminal for bump electrode loading and the aforementioned terminal for external terminal loading are regularity to mutual.

[Claim 3] The semiconductor device characterized by being prepared by the arrangement characterized by providing the following. Two or more bump electrodes for flip chip bonding which are the semiconductor devices with which the semiconductor chip was mounted, and connect with the surface electrode of the aforementioned semiconductor chip electrically by flip chip bonding. The chip support substrate which supports the aforementioned semiconductor chip by flip chip bonding through the aforementioned bump electrode. Two or more terminals for bump electrode loading which have two or more external terminals of the aforementioned semiconductor device formed in the chip back face of the aforementioned chip support substrate, and the field of an opposite side, and were prepared in the aforementioned chip back face of the aforementioned chip support substrate. While the aforementioned terminal for bump electrode loading is prepared in two or more terminals for external terminal loading prepared in the aforementioned chip back face and the field of an opposite side in the installation pitch

of the integral multiple of the aforementioned terminal for external terminal loading, the aforementioned terminal for bump electrode loading and the aforementioned terminal for external terminal loading are regularity to mutual.

[Claim 4] The manufacture method of a semiconductor device characterized by providing the following. Two or more terminals for bump electrode loading in which it is prepared in a chip back face, and the bump electrode for flip chip bonding can be carried. The process for which the chip support substrate by which each installation pitch and arrangement were mutually prepared by having regularity in two or more terminals for external terminal loading prepared in the aforementioned chip back face and the field of an opposite side between the aforementioned terminal for bump electrode loading and the aforementioned terminal for external terminal loading is prepared. The process which carries out flip chip bonding of the semiconductor chip to the aforementioned chip back face of the aforementioned chip support substrate through the aforementioned bump electrode. The process which prepares the external terminal of a semiconductor device in two or more terminals for external terminal loading with which the aforementioned installation pitch and the aforementioned arrangement were installed in the aforementioned terminal for bump electrode loading, and mutual by having regularity in the aforementioned chip back face of the aforementioned chip support substrate and the field of an opposite side in which the aforementioned bump electrode was prepared.

[Claim 5] The manufacture method of a semiconductor device characterized by providing the following. Two or more terminals for bump electrode loading in which it is prepared in a chip back face, and the bump electrode for flip chip bonding can be carried. The process prepared in two or more terminals for external terminal loading prepared in the aforementioned chip back face and the field of an opposite side in the chip support substrate from which the aforementioned terminal for bump electrode loading and the aforementioned terminal for external terminal loading were mutually prepared by arrangement with regularity while the aforementioned terminal for bump electrode loading is prepared in one half of the installation pitches of the aforementioned terminal for external terminal loading. The process which carries out flip chip bonding of the semiconductor chip to the aforementioned chip back face of the aforementioned chip support substrate through the aforementioned bump electrode. The process which is the installation pitch of the double precision of the aforementioned bump electrode, and prepares two or more external terminals of a semiconductor device in the aforementioned bump electrode and mutual by arrangement with regularity at the aforementioned terminal for external terminal loading in the aforementioned chip back face of the aforementioned chip support substrate and the field of an opposite side in which the aforementioned bump electrode was prepared.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the composition perspective diagram decomposing and showing an example of the structure of the semiconductor device (BGA) in the gestalt of operation of this invention.

[Drawing 2] It is the fragmentary sectional view showing the structure and an example of a mounting state of the semiconductor device shown in drawing 1 .

[Drawing 3] It is the expansion plan showing an example of the structure of a chip-size package with the semiconductor chip included in the semiconductor device shown in drawing 1 .

[Drawing 4] It is the plan in which penetrating an example of arrangement of the terminal for bump electrode loading and the terminal for external terminal loading in the BGA substrate used for the semiconductor device shown in drawing 1 , and a through hole, and showing a semiconductor chip and a BGA substrate.

[Drawing 5] It is the expansion plan showing an example of arrangement of the terminal for bump electrode loading and through hole in the BGA substrate shown in drawing 4 , and a circuit pattern.

[Drawing 6] It is the bottom plan view showing an example of correspondence of arrangement of the external terminal of the semiconductor device shown in drawing 1 , and the pin number of this.

[Drawing 7] It is the pin functional diagram showing in an abbreviation an example of the function of each external terminal shown in drawing 6 .

[Drawing 8] It is a pin functional description view explaining the detail of each abbreviation in the function of the external terminal shown in drawing 7 .

[Drawing 9] It is the plan in which penetrating arrangement of the terminal for bump electrode loading and the terminal for external terminal loading in the BGA substrate used for the semiconductor device of the gestalt of other operations of this invention, and a through hole, and showing a semiconductor chip and a BGA substrate.

[Drawing 10] It is the plan in which penetrating arrangement of the terminal for bump electrode loading and the terminal for external terminal loading in the BGA substrate used for the semiconductor device of the gestalt of other operations of this invention, and a through hole, and showing a semiconductor chip and a BGA substrate.

[Drawing 11] It is the cross section showing the structure of the semiconductor device of the gestalt of other operations of this invention.

[Drawing 12] It is the plan in which penetrating arrangement of the terminal for bump electrode loading and the terminal for external terminal loading in the BGA substrate used for the semiconductor device of the example of comparison to the semiconductor device of this invention, and a through hole, and showing a semiconductor chip and a BGA substrate.

[Description of Notations]

- 1 Semiconductor Chip
- 1a Pad (surface electrode)
- 1b Principal plane
- 1c Tooth back

1d Insulator layer
1e Side
2 BGA Substrate (Chip Support Substrate)
2a The bump land for a chip (terminal for bump electrode loading)
2b Chip back face
2c Rear face (field of an opposite side)
2d Through hole
2e Solder-resist opening
2f Solid wiring for GND
2g Solid wiring for power supplies
2h The bump land for external terminals (terminal for external terminal loading)
2i Connection pattern
2j Through hole land
2k Circuit pattern
3 Solder Ball (External Terminal)
4 Bump Electrode
5 Under-filling
6 Chip-size Package
6a Rewiring
7 Adhesives
8 Protective Cover
9 BGA (Semiconductor Device)
10 Mounting Substrate
10a Substrate side edge child
11 BGA Substrate

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-203298

(P2001-203298A)

(43) 公開日 平成13年7月27日 (2001.7.27)

(51) Int.Cl. ⁷	識別記号	F I	ターム (参考)
H 0 1 L 23/12		H 0 1 L 21/60	3 1 1 S 5 F 0 4 4
21/60	3 1 1	23/12	L

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願2000-10714 (P2000-10714)

(22) 出願日 平成12年1月19日 (2000.1.19)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 氏家 健二

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72) 発明者 有田 順一

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100080001

弁理士 筒井 大和

Fターム (参考) 5F044 KK11 QQ02

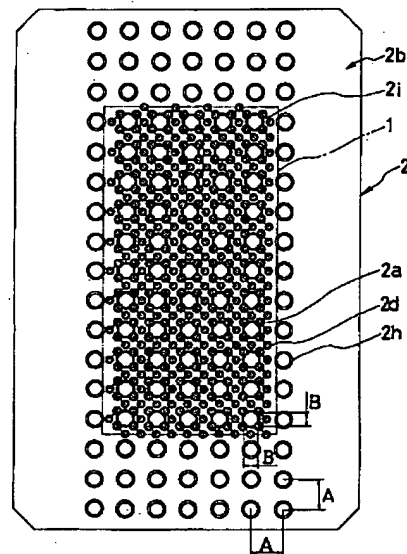
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 フリップチップ接続を行った半導体装置におけるチップ支持基板の配線設計の時間短縮とコスト低減を図る。

【解決手段】 半導体チップ1のパッドと電気的に接続し、かつ格子状に配置されたフリップチップ接続用の複数のバンパ電極と、フリップチップ接続によって半導体チップ1を支持するBGA基板2と、BGA基板2の裏面に格子状に設けられた複数のはんだボールとからなり、BGA基板2のチップ支持面2bに設けられた複数のチップ用バンパランド2aと、前記裏面に設けられた複数の外部端子用バンパランド2hとにおいて、チップ用バンパランド2aが外部端子用バンパランド2hの1/2の設置ピッチで設けられ、かつチップ用バンパランド2aと外部端子用バンパランド2hとが相互に規則性を有した配置で設けられていることにより、スルーホール2dの配置などの配線レイアウトを容易にできる。

図 4



1: 半導体チップ
2: BGA基板(チップ支持基板)
2a: チップ用バンパランド(バンパ電極搭載用端子)
2b: チップ支持面
2h: 外部端子用バンパランド(外部端子搭載用端子)

【特許請求の範囲】

【請求項1】 フリップチップ接続によって半導体チップが実装された半導体装置であって、前記半導体チップの表面電極と電気的に接続するフリップチップ接続用の複数のバンパ電極と、前記半導体チップを前記バンパ電極を介してフリップチップ接続によって支持するチップ支持基板と、前記チップ支持基板のチップ支持面と反対側の面に設けられた前記半導体装置の複数の外部端子とを有し、前記チップ支持基板の前記チップ支持面に設けられた複数のバンパ電極搭載用端子と、前記チップ支持面と反対側の面に設けられた複数の外部端子搭載用端子とにおいて、それぞれの設置ピッチおよび配置が前記バンパ電極搭載用端子と前記外部端子搭載用端子との間で相互に規則性を有して設けられていることを特徴とする半導体装置。

【請求項2】 フリップチップ接続によって半導体チップが実装された半導体装置であって、前記半導体チップの表面電極と電気的に接続するフリップチップ接続用の複数のバンパ電極と、前記半導体チップを前記バンパ電極を介してフリップチップ接続によって支持するチップ支持基板と、前記チップ支持基板のチップ支持面と反対側の面に設けられた前記半導体装置の複数の外部端子とを有し、前記チップ支持基板の前記チップ支持面に設けられた複数のバンパ電極搭載用端子と、前記チップ支持面と反対側の面に設けられた複数の外部端子搭載用端子とにおいて、前記バンパ電極搭載用端子が前記外部端子搭載用端子の1/2の設置ピッチで設けられるとともに、前記バンパ電極搭載用端子と前記外部端子搭載用端子とが相互に規則性を有した配置で設けられていることを特徴とする半導体装置。

【請求項3】 フリップチップ接続によって半導体チップが実装された半導体装置であって、前記半導体チップの表面電極と電気的に接続するフリップチップ接続用の複数のバンパ電極と、前記半導体チップを前記バンパ電極を介してフリップチップ接続によって支持するチップ支持基板と、前記チップ支持基板のチップ支持面と反対側の面に設けられた前記半導体装置の複数の外部端子とを有し、前記チップ支持基板の前記チップ支持面に設けられた複数のバンパ電極搭載用端子と、前記チップ支持面と反対側の面に設けられた複数の外部端子搭載用端子とにおいて、前記バンパ電極搭載用端子が前記外部端子搭載用端子の整数倍の設置ピッチで設けられるとともに、前記バンパ電極搭載用端子と前記外部端子搭載用端子とが相互に規則性を有した配置で設けられていることを特徴とする半導体装置。

【請求項4】 チップ支持面に設けられ、かつフリップチップ接続用のバンパ電極を搭載可能な複数のバンパ電

極搭載用端子と、前記チップ支持面と反対側の面に設けられた複数の外部端子搭載用端子とにおいて、それぞれの設置ピッチおよび配置が前記バンパ電極搭載用端子と前記外部端子搭載用端子との間で相互に規則性を有して設けられたチップ支持基板を準備する工程と、前記バンパ電極を介して半導体チップを前記チップ支持基板の前記チップ支持面にフリップチップ接続する工程と、前記バンパ電極が設けられた前記チップ支持基板の前記チップ支持面と反対側の面において、前記設置ピッチおよび前記配置が前記バンパ電極搭載用端子と相互に規則性を有して設置された複数の外部端子搭載用端子に半導体装置の外部端子を設ける工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 チップ支持面に設けられ、かつフリップチップ接続用のバンパ電極を搭載可能な複数のバンパ電極搭載用端子と、前記チップ支持面と反対側の面に設けられた複数の外部端子搭載用端子とにおいて、前記バンパ電極搭載用端子が前記外部端子搭載用端子の1/2の設置ピッチで設けられるとともに、前記バンパ電極搭載用端子と前記外部端子搭載用端子とが相互に規則性を有した配置で設けられたチップ支持基板を準備する工程と、前記バンパ電極を介して半導体チップを前記チップ支持基板の前記チップ支持面にフリップチップ接続する工程と、前記バンパ電極が設けられた前記チップ支持基板の前記チップ支持面と反対側の面において、半導体装置の複数の外部端子を前記バンパ電極の2倍の設置ピッチで、かつ前記バンパ電極と相互に規則性を有した配置で前記外部端子搭載用端子に設ける工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体製造技術に関し、特にBGA (Ball Grid Array)のチップ支持基板における配線設計の時間短縮とコスト低減に適用して有効な技術に関する。

【0002】

【従来の技術】以下に説明する技術は、本発明を研究、完成するに際し、本発明者によって検討されたものであり、その概要は次のとおりである。

【0003】キャッシュメモリなどの半導体集積回路が形成された半導体チップを有する半導体装置において、その小形化を図るパッケージ構造の一例としてBGAが知られている。このBGAは、半導体チップを支持するBGA基板（チップ支持基板）の裏面に外部端子であるはんだボールが複数個取り付けられたエリアアレイ構造のものであり、高密度実装に適した半導体パッケージでもある。

【0004】なお、キャッシュメモリ用などのBGAでは、ワイヤボンディング方式から電気特性に優れたフリップチップ接続方式が主流になりつつある。

【0005】このフリップチップ接続は、半導体チップの能動面（主面）をBGA基板のチップ支持面と対向させ、この状態で半導体チップを実装する技術であり、BGA基板のチップ用バンパランド（バンパ電極搭載用端子）にバンパ電極を配置し、前記バンパ電極を介して半導体チップを支持している。

【0006】ここで、フリップチップ接続を行ったBGAについては、例えば、特開平9-82756号公報、特開平9-92685号公報、特開平6-326211号公報および特開平7-111278号公報に記載されている。

【0007】

【発明が解決しようとする課題】ところが、前記した技術のフリップチップ接続において、半導体チップの表面電極のピッチおよび配置と、これを実装するBGA基板のチップ用バンパランドの設置ピッチおよび配置との関係は、特に規則が定められていない。

【0008】したがって、チップ支持面と反対側の面に設ける外部端子用バンパランドの設置ピッチが既に決まっているBGA基板に半導体チップをフリップチップ接続する場合、半導体チップの表面電極のピッチが任意であると、BGA基板のスルーホール配置や配線レイアウトが複雑化する。

【0009】その結果、BGA基板において配線のレイアウト設計に費やす時間が増加するという問題が起こる。

【0010】また、BGA基板に、高価なビルドアップ基板や多層配線基板を適用しなければならず、コストアップになることが問題となる。

【0011】本発明の目的は、チップ支持基板の配線設計の時間短縮とコスト低減を図るフリップチップ接続の半導体装置およびその製造方法を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0014】すなわち、本発明の半導体装置は、半導体チップの表面電極と電気的に接続するフリップチップ接続用の複数のバンパ電極と、前記半導体チップを前記バンパ電極を介してフリップチップ接続によって支持するチップ支持基板と、前記チップ支持基板のチップ支持面と反対側の面に設けられた前記半導体装置の複数の外部端子とを有し、前記チップ支持基板の前記チップ支持面に設けられた複数のバンパ電極搭載用端子と、前記チッ

プ支持面と反対側の面に設けられた複数の外部端子搭載用端子とにおいて、それぞれの設置ピッチおよび配置が前記バンパ電極搭載用端子と前記外部端子搭載用端子との間で相互に規則性を有して設けられているものである。

【0015】さらに、本発明の半導体装置は、半導体チップの表面電極と電気的に接続するフリップチップ接続用の複数のバンパ電極と、前記半導体チップを前記バンパ電極を介してフリップチップ接続によって支持するチップ支持基板と、前記チップ支持基板のチップ支持面と反対側の面に設けられた前記半導体装置の複数の外部端子とを有し、前記チップ支持基板の前記チップ支持面に設けられた複数のバンパ電極搭載用端子と、前記チップ支持面と反対側の面に設けられた複数の外部端子搭載用端子とにおいて、前記バンパ電極搭載用端子が前記外部端子搭載用端子の1/2の設置ピッチで設けられるとともに、前記バンパ電極搭載用端子と前記外部端子搭載用端子とが相互に規則性を有した配置で設けられているものである。

【0016】本発明によれば、バンパ電極搭載用端子から接続パターンやスルーホールを規則性を持たせて引き出すことが可能になり、その結果、チップ支持基板における配線レイアウト設計の時間を短縮することができる。また、配線長さを考慮した配線レイアウト設計を行うことができる。

【0017】したがって、配線レイアウトの自由度を増やして配線レイアウトの容易化を図ることができる。

【0018】また、本発明の半導体装置の製造方法は、チップ支持面に設けられ、かつフリップチップ接続用のバンパ電極を搭載可能な複数のバンパ電極搭載用端子と、前記チップ支持面と反対側の面に設けられた複数の外部端子搭載用端子とにおいて、それぞれの設置ピッチおよび配置が前記バンパ電極搭載用端子と前記外部端子搭載用端子との間で相互に規則性を有して設けられたチップ支持基板を準備する工程と、前記バンパ電極を介して半導体チップを前記チップ支持基板の前記チップ支持面にフリップチップ接続する工程と、前記バンパ電極が設けられた前記チップ支持基板の前記チップ支持面と反対側の面において、前記設置ピッチおよび前記配置が前記バンパ電極搭載用端子と相互に規則性を有して設置された複数の外部端子搭載用端子に半導体装置の外部端子を設ける工程とを有するものである。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0020】図1は本発明の実施の形態における半導体装置（BGA）の構造の一例を分解して示す構成斜視図、図2は図1に示す半導体装置の構造とその実装状態

の一例を示す部分断面図、図3は図1に示す半導体装置に組み込まれる半導体チップを有したチップサイズパッケージの構造の一例を示す拡大平面図、図4は図1に示す半導体装置に用いられるBGA基板におけるバンパ電極搭載用端子と外部端子搭載用端子とスルーホールとの配置の一例を半導体チップおよびBGA基板を透過して示す平面図、図5は図4に示すBGA基板におけるバンパ電極搭載用端子とスルーホールと配線パターンの配置の一例を示す拡大平面図、図6は図1に示す半導体装置の外部端子の配置とこれのピン番号の対応の一例を示す底面図、図7は図6に示す各外部端子の機能の一例を略語で示すピン機能図、図8は図7に示す外部端子の機能における各略語の詳細を説明するピン機能説明図である。

【0021】図1、図2に示す本実施の形態の半導体装置は、主面1bにメモリ（例えば、SSRAM（Synchronous Static Random Access Memory））などの半導体集積回路が形成された半導体チップ1をフリップチップ接続によってチップ支持基板であるBGA基板2に実装したものであり、例えば、エンジニアリングワークステーションの2次キャッシュ用のSSRAMなどであり、外部端子として複数のはんだボール3がBGA基板2の裏面2cに格子状に設けられたエリアアレイタイプのBGA9である。

【0022】なお、本実施の形態では、前記BGA9の一例として、119ピン（7×17ピン）のBGA9の場合を説明する。ただし、外部端子の数すなわちはんだボール3の設置数は、119個に限定されるものではなく、その数は119個未満であってもよく、あるいは153個などの119個以上であってもよい。

【0023】また、本実施の形態で説明するBGA9では、はんだボール3が、図1および図6に示すように、BGA基板2のチップ支持面2bと反対側の面である裏面2cに格子状（7×17）に配列されて設けられている。

【0024】さらに、本実施の形態では、半導体チップ1として、その主面1bに形成されたパッド1a（表面電極）の配置をバンパ電極4用の格子状の配置に置き換える図3に示すような再配線6aが形成されたチップサイズパッケージ6を用いる場合を説明する。

【0025】つまり、図2に示す半導体チップ1の主面1b上には、図3に示すような半導体製造工程の前工程で形成された絶縁膜1dと再配線6aとが形成されており、この再配線6aによってパッド1aの配列をバンパ電極4用の格子状の配列に置き換えている。

【0026】これにより、半導体チップ1からの信号は、再配線6aおよびBGA基板2を介してその裏面2cの外部端子であるはんだボール3に伝えられる。

【0027】続いて、前記BGA9の構成について説明すると、フリップチップ接続によって半導体チップ1が実装されるものであり、半導体チップ1のパッド1a

（表面電極）と電気的に接続し、かつ格子状に配置されたフリップチップ接続用の複数のバンパ電極4と、半導体チップ1を複数のバンパ電極4を介してフリップチップ接続によって支持するBGA基板2（チップ支持基板）と、BGA基板2の裏面2cに格子状に設けられたBGA9の外部端子である複数のはんだボール3と、半導体チップ1の背面1cに接着剤7によって取り付けられた保護カバー8とからなり、BGA基板2のチップ支持面2bに設けられた複数のチップ用バンブランド2a（バンパ電極搭載用端子）と、裏面2cに設けられた複数の外部端子用バンブランド2h（外部端子搭載用端子）とにおいて、チップ用バンブランド2aが外部端子用バンブランド2hの1/2の設置ピッチで設けられるとともに、チップ用バンブランド2aと外部端子用バンブランド2hとが相互に規則性を有した配置で設けられている。

【0028】すなわち、本実施の形態のBGA9のBGA基板2では、図4に示すように、そのチップ支持面2bに格子状配置で形成された複数のチップ用バンブランド2aの設置ピッチが、チップ支持面2bの裏面2c側に格子状配置で形成された複数の外部端子用バンブランド2hの設置ピッチの1/2で設けられ、かつチップ支持面2bのチップ搭載領域において、裏面2c側の1つの円形の外部端子用バンブランド2hの外周に対応して4つの小さな円形のチップ用バンブランド2aが四角形を成すような規則性を有して配置され、これにより、チップ支持面2b側のチップ用バンブランド2aと裏面2c側の外部端子用バンブランド2hとが相互に規則性を有した状態で配置されている。

【0029】つまり、BGA基板2の裏面2cの1つの円形の外部端子用バンブランド2hの外周に対応するように、チップ支持面2bにおいて四角に配置された4つの小さなチップ用バンブランド2aが設けられている。

【0030】なお、図4は、BGA基板2のチップ支持面2bに半導体チップ1を有したチップサイズパッケージ6（図3参照）を実装した状態のものを、その上方から半導体チップ1およびBGA基板2を透過してチップ用バンブランド2a、外部端子用バンブランド2h、貫通タイプのスルーホール2dおよび接続パターン2iの配置を示したものである。

【0031】ここで、エンジニアリングワークステーションの2次キャッシュ用のSSRAMの場合のBGA基板2におけるチップ用バンブランド2aとスルーホール2dの配置関係の詳細を、図5を用いて説明する。

【0032】なお、前記SSRAMの場合、BGA基板2の裏面2cに格子状に配置された外部端子であるはんだボール3の設置ピッチは、縦横とも、一般的に1.27mmである。したがって、図5に示すチップ用バンブランド2aの設置ピッチ（B）は、本実施の形態のBGA9では、1.27mmの1/2で、B=0.635mmとな

る。

【0033】また、配線レイアウトルールとして、ラインパターン/スペース=0.05mm/0.05mm、チップ用バンブランド2aの直径/ソルダレジスト開口部2eの直径=Φ0.25mm/Φ0.35mm、スルーホール2dの直径/スルーホールランド2jの直径=Φ0.20mm/Φ0.30mm、ソルダレジスト位置ずれ公差=0.05mmとし、さらに、図5における四角に配置された4つのチップ用バンブランド2aのうち、向かって右下に配置されたチップ用バンブランド2aと接続パターン2iによって接続しているスルーホールランド2jの中心を、このチップ用バンブランド2aと向かって左下のチップ用バンブランド2aとの中心に配置し、かつスルーホールランド2jの端部と向かって左下のチップ用バンブランド2aのソルダレジスト開口部2eの端部との距離(F)を $F=0.05\text{mm}$ とすると、向かって左上のチップ用バンブランド2aのソルダレジスト開口部2eの端部とスルーホールランド2jの端部との距離(E)は、 $E=0.22\text{mm}$ となる。

【0034】この(E)の値は、図5において、 $C=0.635-H$ と、 $H^2+G^2=I^2$ とにより、 $C=0.635-\sqrt{I^2-G^2}$ となり、これにより、 $C=0.635-\sqrt{((0.35/2+0.05+0.3/2)^2-(0.635/2)^2)}=0.635-0.20=0.435$ 、また、 $C^2+G^2=D^2$ により、 $D=\sqrt{G^2+C^2}$ となって、 $D=\sqrt{((0.635/2)^2+C^2)}=0.54$ 、さらに、 $E=D-0.35/2-0.3/2=0.22$ によって求められる。

【0035】その際、左上のチップ用バンブランド2aのソルダレジスト開口部2eの端部とスルーホールランド2jの端部との間にラインパターンである配線パターン2kを1本通す場合には、ソルダレジスト位置ずれ公差(0.05mm)+配線パターン2kの幅(0.05mm)+配線間距離(0.05mm)=0.15mm必要であるが、前記距離(E)は、 $E=0.22\text{mm}$ であるとともに、 $E\geq 0.15\text{mm}$ である。

【0036】したがって、前記距離(E)は、必要とされる距離(0.15mm)より十分大きいので、図5の左上のチップ用バンブランド2aのソルダレジスト開口部2eの端部とスルーホールランド2jの端部との間にラインパターンである配線パターン2kを形成する(引き回す)ことができる。

【0037】このように、BGA基板2のチップ支持面2bにおいてチップ用バンブランド2a間にスルーホール2dと配線パターン2kを形成可能であることは、配線レイアウト設計上、配線設計の自由度を増やすことができ、かつ設計時間の短縮を図ることができる。本実施の形態の図4に示すBGA基板2では、チップ用バンブランド2aとスルーホール2dとを規則的に、かつほぼ1対1の割合で配置できる。

【0038】また、BGA9におけるフリップチップ接続は、チップサイズパッケージ6における半導体チップ1の能動面(主面1b)をBGA基板2のチップ支持面2bと対向させ、この状態(フェイスダウン)で半導体チップ1をはんだなどからなるバンパ電極4を介してBGA基板2に実装するものである。

【0039】なお、本実施の形態のBGA9における半導体チップ1は、チップサイズパッケージ6でもあるため、予め、半導体チップ1の主面1bの絶縁膜1d上に、図3に示すように、はんだによるバンパ電極4が格子状に配置されたものを用いている。

【0040】また、BGA基板2は、例えば、2~4層程度の多層配線基板であり、チップ支持面2bに形成されたチップ用バンブランド2aからその裏面2cに形成された外部端子用バンブランド2hまでを図2に示すような貫通タイプのスルーホール2dによって電気的に接続することができる。

【0041】さらに、多層配線基板であるBGA基板2の内部には、電気的特性を向上させるために、GND用ベタ配線2fと電源用ベタ配線2gが形成されている。

【0042】また、半導体チップ1とBGA基板2の間には、図1および図2に示すように、エポキシ樹脂などによるアンダーフィル5が充填され、これによって、フリップチップ接続によるはんだ接続の接続信頼性を向上できる。

【0043】また、本実施の形態のBGA9の半導体チップ1の背面1cには、図2に示すような保護カバー8が、シリコーン接着剤などの接着剤7によって取り付けられている。

【0044】なお、保護カバー8は、例えば、ステンレス鋼などの金属板によって形成され、本実施の形態のBGA9の保護カバー8には、半導体チップ1の側面1eも保護可能なように、下方への折り曲げが形成されている。

【0045】また、エンジニアリングワークステーションの2次キャッシュ用のSSRAMのBGA9では、このBGA9の近傍に、例えば、同様のBGA構造のCPU(Central Processing Unit)などが実装されており、図2に示すように、リフローなどによって実装基板10に実装され、これにより、外部端子である各はんだボール3がリフローによって溶けて実装基板10の各基板側端子10aと電気的に接続されている。

【0046】なお、図6、図7および図8は、BGA9において、そのBGA基板2の裏面2cに格子状に配置された119個の外部端子であるはんだボール3のピン番号と、各ピンの機能とをマトリクス配置で対応させて示したものである。

【0047】次に、本実施の形態による半導体装置(BGA9)の製造方法について説明する。

【0048】なお、前記半導体装置の製造方法は、図

1、図2に示す119ピンのBGA9の製造方法であるが、外部端子の数は、119ピンに限定されるものではなく、119ピン以外のものであってもよい。

【0049】まず、メモリなどの所望の半導体集積回路が形成された複数の半導体チップ1を準備する。

【0050】本実施の形態では、半導体チップ1の主面1bに形成されたパッド1aの配置をバンパ電極4用の格子状の配置に置き換える図3に示すような再配線6aが形成されたチップサイズパッケージ6を準備する。

【0051】すなわち、チップサイズパッケージ6の半導体チップ1の主面1b上には、半導体製造工程の前工程で形成された絶縁膜1dと再配線6aとが形成されており、この再配線6aによってパッド1aの配列をバンパ電極4用の格子状の配列に置き換えている。

【0052】なお、この半導体チップ1上に格子状にはんだによるバンパ電極4を形成する際には、はんだ印刷を行って、これをリフローしてバンパ電極4を形成する。

【0053】一方、チップ支持面2bに設けられ、かつフリップチップ接続用のバンパ電極4を搭載可能な複数のチップ用バンブランド2aと、チップ支持面2bと反対側の裏面2cに設けられた複数の外部端子用バンブランド2hとにおいて、チップ用バンブランド2aが外部端子用バンブランド2hの1/2の設置ピッチで設けられるとともに、チップ用バンブランド2aと外部端子用バンブランド2hとが相互に規則性を有した配置で設けられた図4に示すBGA基板2（チップ支持基板）を準備する。

【0054】ここで、本実施の形態で用いるBGA基板2は、図4に示すように、チップ支持面2bのチップ搭載領域において、そのチップ支持面2bに形成されたチップ用バンブランド2aの設置ピッチ（0.635mm）が、チップ支持面2bの裏面2c側に形成された外部端子用バンブランド2hの設置ピッチ（1.27mm）の1/2で設けられ、かつ1つの円形の外部端子用バンブランド2hの外周に対応して4つの小さな円形のチップ用バンブランド2aが四角形を成すような規則性を有して配置され、これにより、チップ用バンブランド2aと外部端子用バンブランド2hとが相互に規則性を有した状態で配置されている。

【0055】すなわち、BGA基板2の裏面2cの1つの円形の外部端子用バンブランド2hの外周に対応するように、チップ支持面2bのチップ搭載領域において四角に配置された4つの小さなチップ用バンブランド2aが設けられている。

【0056】これにより、本実施の形態のBGA基板2では、チップ支持面2b側のチップ用バンブランド2aとその裏面2c側の外部端子用バンブランド2hとを電氣的に接続する貫通タイプのスルーホール2dが、BGA基板2のチップ搭載領域に規則的に、かつチップ用バ

ンブランド2aとほぼ1対1の割合で設けられている。

【0057】その後、バンパ電極4を介してチップサイズパッケージ6の半導体チップ1をBGA基板2のチップ支持面2bにフリップチップ接続する。

【0058】その際、まず、図3に示すように、チップサイズパッケージ6の半導体チップ1の絶縁膜1dに格子状に配置されたそれぞれのバンパ電極4と、これに対応するBGA基板2のチップ支持面2bの各チップ用バンブランド2aとの位置を合わせ、かつ、半導体チップ1の主面1bとBGA基板2のチップ支持面2bとを対向させてフェイスダウンの状態でBGA基板2のチップ支持面2b上に半導体チップ1すなわちチップサイズパッケージ6を配置する。

【0059】続いて、リフローを行って、はんだのバンパ電極4を溶融し、それぞれのバンパ電極4とBGA基板2のチップ用バンブランド2aとを接続する。

【0060】これにより、フリップチップ接続が完了する。

【0061】その後、転写によって、BGA基板2の裏面2cの各外部端子用バンブランド2hに外部端子である119個のはんだボール3を設ける。

【0062】なお、BGA9の外部端子であるはんだボール3の格子状の配置を示したものが図6である。

【0063】続いて、半導体チップ1とBGA基板2とのフリップチップ接続部に対して、エポキシ系の樹脂などを塗布してアンダーフィル5を形成する。

【0064】その後、半導体チップ1の背面1cにシリコーン接着剤などの接着剤7を塗布し、ここに保護カバー8を取り付ける。

【0065】これにより、図1、図2に示すようなBGA9を製造することができる。

【0066】本実施の形態の半導体装置（BGA9）およびその製造方法によれば、以下のような作用効果が得られる。

【0067】すなわち、BGA基板2において、チップ用バンブランド2aが外部端子用バンブランド2hの1/2の設置ピッチで設けられ、かつチップ用バンブランド2aと外部端子用バンブランド2hとが相互に規則性を有した配置で設けられていることにより、チップ用バンブランド2aから接続パターン2iやスルーホール2dを規則性を持たせて引き出すことが可能になる。

【0068】ここで、本実施の形態のBGA9のBGA基板2に対する図12に示す比較例のBGA基板11について説明する。

【0069】図12に示す比較例のBGA基板11は、チップ用バンブランド2aの設置ピッチと外部端子用バンブランド2hの設置ピッチとが無関係で、かつ両者が相互に規則性の無い配置の場合である。

【0070】例えば、BGA基板11では、外部端子用バンブランド2hの設置ピッチ（A）が、 $A = 1.27 \text{ mm}$

mであり、チップ用バンパランド2aの設置ピッチ(B)が、 $B=0.70\text{mm}$ である。さらに、外部端子用バンパランド2hの位置に対するチップ用バンパランド2aの配置を無関係なものとしている。なお、図12ではBGA基板11におけるチップ搭載領域の1/4領域のみにスルーホール2dを配置したが、このように、チップ用バンパランド2aと接続パターン2iによって接続されたスルーホール2dは、外部端子用バンパランド2hと重ならないように1つずつ場所を探しながら配置するため、スルーホール2dの配置が非常に複雑なものとなり、配置するのに時間が掛かる上、配線経路も複雑になる。

【0071】したがって、本実施の形態の図4に示すBGA基板2の方が明らかにその配線レイアウト設計が容易である。

【0072】つまり、図4に示す本実施の形態のBGA基板2によれば、その配線レイアウト設計の時間を短縮することができるとともに、配線長さを考慮した配線レイアウト設計を行うことができ、その結果、配線レイアウトの自由度を増やして配線レイアウトの容易化を図ることができる。

【0073】また、チップ用バンパランド2aからスルーホール2dを規則性を持たせて引き出すことが可能になるため、貫通タイプのスルーホール2dのみの設計で済み、したがって、ビルドアップ基板や張り合わせ基板などの高価な多層配線基板を使用しなくて済む。

【0074】その結果、BGA基板2の低コスト化を図ることができ、これにより、フリップチップ接続が行われるBGA9の低コスト化を実現できる。

【0075】また、フリップチップ接続を行う半導体チップ1として、そのパッド1aの配置をバンパ電極4用の格子状の配置に置き換える再配線6aが形成されたチップサイズパッケージ6を用いることにより、チップサイズパッケージ単体としてもこれを出荷することができる。

【0076】また、半導体チップ1の背面1cに、これを保護する保護カバー8が取り付けられていることにより、温度サイクルテストなどにおける半導体チップ1の破損を防ぐことができるとともに、モールドによる封止と比較して放熱性を高めることができ、その結果、BGA9の性能を向上できる。

【0077】さらに、出荷先で放熱フィンなどを取り付ける場合にも、モールドによる樹脂と比べて保護カバー8の方が前記放熱フィンの接合性が高く、その結果、BGA9の放熱性をさらに高めることができる。

【0078】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0079】例えば、前記実施の形態では、BGA基板2において、必ずしも全てのチップ用バンパランド2aにスルーホール2dが接続されていない場合を説明したが、図9に示す他の実施の形態のBGA基板2のように、全てのチップ用バンパランド2aに接続パターン2iを介してスルーホール2dを接続してもよい。

【0080】すなわち、図9に示す他の実施の形態のBGA基板2は、そのチップ搭載領域において、チップ用バンパランド2aおよび外部端子用バンパランド2hの設置ピッチを前記実施の形態の場合と同様にそれぞれ 0.635mm 、 1.27mm とし、かつチップ搭載領域の外部端子用バンパランド2hにチップ用バンパランド2aが重複するような規則によって両者を配置したものであり、チップ支持面2bのチップ搭載領域において、全てのチップ用バンパランド2aに接続パターン2iを介してスルーホール2dを配置したものである。

【0081】これによれば、配線レイアウトの自由度は、前記実施の形態のものより劣るが、前記チップ搭載領域においてチップ用バンパランド2aと外部端子用バンパランド2hとに規則性を持たせて両者を配置することは可能である。

【0082】また、図10に示す他の実施の形態のBGA基板2のように、チップ用バンパランド2aと外部端子用バンパランド2hの設置ピッチを等しくしてもよい。

【0083】すなわち、図10に示すBGA基板2は、チップ用バンパランド2aと外部端子用バンパランド2hの設置ピッチを両者とも 1.27mm とし($A=B$)、かつチップ搭載領域において外部端子用バンパランド2hとチップ用バンパランド2aとが重複するような規則によって両者を配置したものである。

【0084】このような配置によるBGA基板2としても、図10に示すように、スルーホール2dの配置などを容易に行うことができ、したがって、前記実施の形態の作用効果と同様の作用効果を得ることができる。さらに、チップ用バンパランド2aの設置ピッチを外部端子用バンパランド2hの設置ピッチの整数倍あるいは任意の倍数としてもよく、これによっても前記実施の形態の作用効果と同様の作用効果を得ることができる。

【0085】また、前記実施の形態および前記他の実施の形態では、BGA9の外部端子であるはんだボール3の設置ピッチが 1.27mm の場合について説明したが、はんだボール3の設置ピッチは、 1.27mm 以外のものであってもよい。

【0086】また、前記実施の形態では、図2に示すように、保護カバー8に、半導体チップ1の側面1eも保護可能な折り曲げが形成されている場合を説明したが、図11に示す他の実施の形態のBGA9のように、保護カバー8は、折り曲げを有さない平坦な形状のものであってもよい。

【0087】さらに、保護カバー8の代わりとしてモールドによる封止を行ってもよい。

【0088】また、前記実施の形態では、半導体チップ1として、主面1bに絶縁膜1dが形成され、かつこの絶縁膜1dに再配線6aが形成されたチップサイズパッケージ6を用いる場合について説明したが、再配線6aを有していない半導体チップ1を用いてもよい。

【0089】また、前記実施の形態および前記他の実施の形態では、前記半導体装置がBGA9の場合について説明したが、前記半導体装置は、チップ支持基板を有して、かつフリップチップ接続を行うとともに、チップ支持基板の裏面2cに外部端子を配置するエリアアレイタイプのものであれば、BGA以外のPGA (Pin Grid Array) やLGA (Land Grid Array) などであってもよい。

【0090】なお、前記半導体装置は、SSRAMなどのメモリの半導体チップ1を搭載したものに限らず、例えば、マイコンまたはASIC (Application Specific Integrated Circuit)、あるいはロジック機能の半導体チップ1を搭載したものであってもよい。

【0091】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0092】(1)、半導体装置のチップ支持基板においてバンパ電極搭載用端子が外部端子搭載用端子の1/2または整数倍の設置ピッチで設けられ、かつバンパ電極搭載用端子と外部端子搭載用端子とが相互に規則性を有した配置で設けられていることにより、接続パターンやスルーホールを規則性を持たせて引き出すことが可能になる。これにより、チップ支持基板における配線レイアウト設計の時間を短縮することができ、その結果、配線レイアウトの自由度を増やして配線レイアウトの容易化を図ることができる。

【0093】(2)、バンパ電極搭載用端子からスルーホールを規則性を持たせて引き出すことが可能になるため、貫通スルーホールをみの設計で済み、したがって、ビルドアップ基板などの高価な多層配線基板を使用しなくて済む。その結果、チップ支持基板の低コスト化を図ることができ、これにより、半導体装置の低コスト化を実現できる。

【図面の簡単な説明】

【図1】本発明の実施の形態における半導体装置 (BGA) の構造の一例を分解して示す構成斜視図である。

【図2】図1に示す半導体装置の構造とその実装状態の一例を示す部分断面図である。

【図3】図1に示す半導体装置に組み込まれる半導体チップを有したチップサイズパッケージの構造の一例を示す拡大平面図である。

【図4】図1に示す半導体装置に用いられるBGA基板

におけるバンパ電極搭載用端子と外部端子搭載用端子とスルーホールの配置の一例を半導体チップおよびBGA基板を透過して示す平面図である。

【図5】図4に示すBGA基板におけるバンパ電極搭載用端子とスルーホールと配線パターンの配置の一例を示す拡大平面図である。

【図6】図1に示す半導体装置の外部端子の配置とこれのピン番号の対応の一例を示す底面図である。

【図7】図6に示す各外部端子の機能の一例を略語で示すピン機能図である。

【図8】図7に示す外部端子の機能における各略語の詳細を説明するピン機能説明図である。

【図9】本発明の他の実施の形態の半導体装置に用いられるBGA基板におけるバンパ電極搭載用端子と外部端子搭載用端子とスルーホールの配置を半導体チップおよびBGA基板を透過して示す平面図である。

【図10】本発明の他の実施の形態の半導体装置に用いられるBGA基板におけるバンパ電極搭載用端子と外部端子搭載用端子とスルーホールの配置を半導体チップおよびBGA基板を透過して示す平面図である。

【図11】本発明の他の実施の形態の半導体装置の構造を示す断面図である。

【図12】本発明の半導体装置に対する比較例の半導体装置に用いられるBGA基板におけるバンパ電極搭載用端子と外部端子搭載用端子とスルーホールの配置を半導体チップおよびBGA基板を透過して示す平面図である。

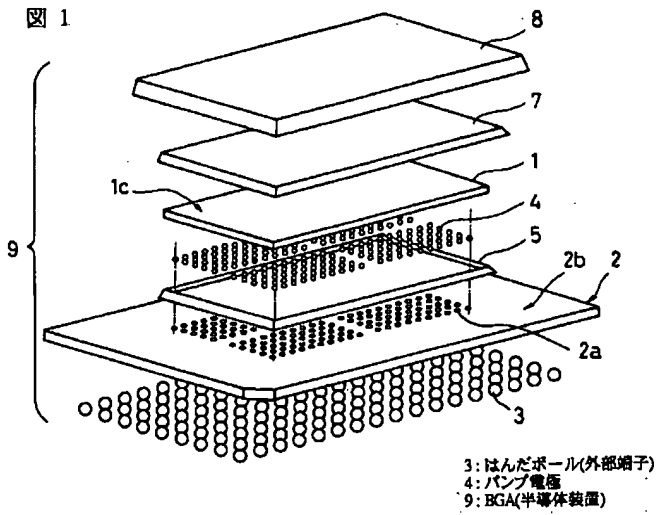
【符号の説明】

- 1 半導体チップ
- 1a パッド (表面電極)
- 1b 主面
- 1c 背面
- 1d 絶縁膜
- 1e 側面
- 2 BGA基板 (チップ支持基板)
- 2a チップ用バンパランド (バンパ電極搭載用端子)
- 2b チップ支持面
- 2c 裏面 (反対側の面)
- 2d スルーホール
- 2e ソルダレジスト開口部
- 2f GND用ベタ配線
- 2g 電源用ベタ配線
- 2h 外部端子用バンパランド (外部端子搭載用端子)
- 2i 接続パターン
- 2j スルーホールランド
- 2k 配線パターン
- 3 はんだボール (外部端子)
- 4 バンパ電極
- 5 アンダーフィル
- 6 チップサイズパッケージ

6a 再配線
7 接着剤
8 保護カバー
9 BGA(半導体装置)

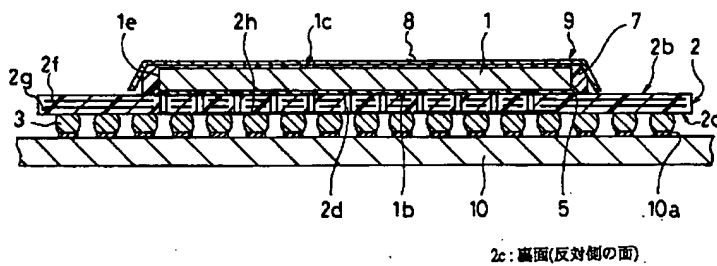
10 実装基板
10a 基板側端子
11 BGA基板

【図1】



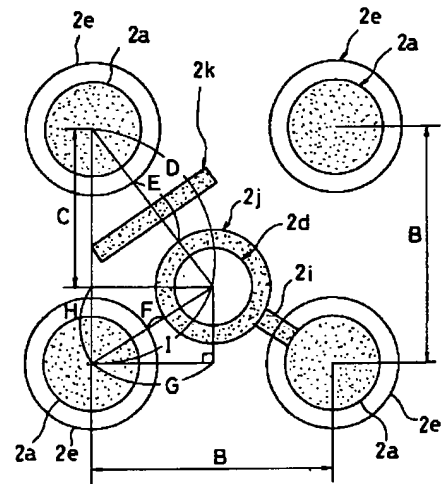
【図2】

図 2



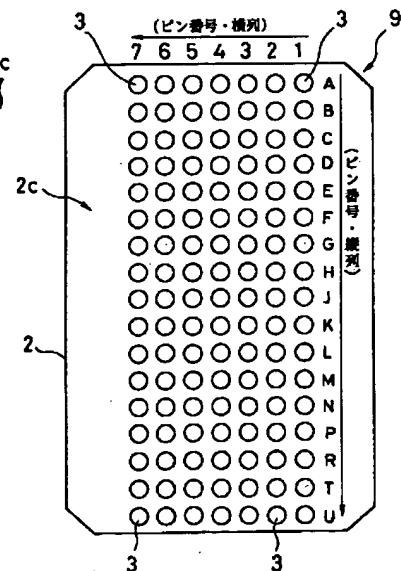
【図5】

図 5

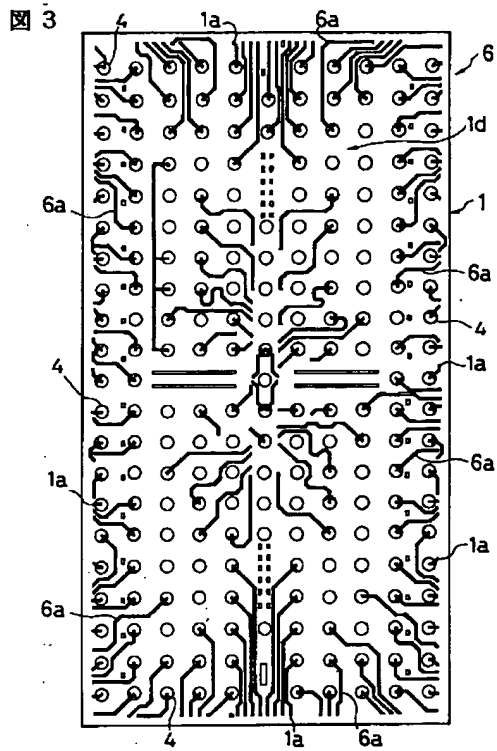


【図6】

図 6

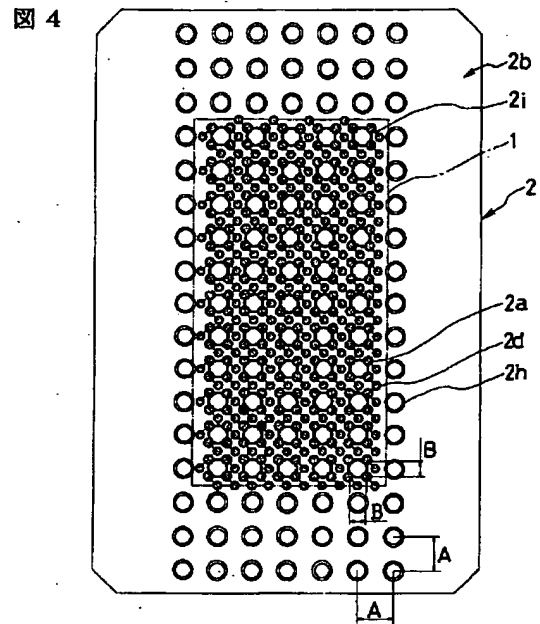


【図3】



1a: パッド(表面電極)

【図4】



- 1: 半導体チップ
 2: BGA基板(チップ支持基板)
 2a: チップ用バンブランド(パンプ電極搭載用端子)
 2b: チップ支持面
 2h: 外部端子用バンブランド(外部端子搭載用端子)

【図7】

図 7

	1	2	3	4	5	6	7
A	V _{ddq}	A	A	NC	A	A	V _{ddq}
B	NC	NC	A	NC	A	NC	NC
C	NC	A	A	V _{dd}	A	A	NC
D	DQ	NC	V _{ss}	ZQ	V _{ss}	DQ	NC
E	NC	DQ	V _{ss}	/m	V _{ss}	NC	DQ
F	V _{ddq}	NC	V _{ss}	V _{ss}	V _{ss}	DQ	V _{ddq}
G	NC	DQ	/BWS1	NC	V _{ss}	NC	DQ
H	DQ	NC	V _{ss}	NC	V _{ss}	DQ	NC
J	V _{ddq}	V _{dd}	V _{ref}	V _{dd}	V _{ref}	V _{dd}	V _{ddq}
K	NC	DQ	V _{ss}	K	V _{ss}	NC	DQ
L	DQ	NC	/V _{ss}	/K	/BWS0	DQ	NC
M	V _{ddq}	DQ	V _{ss}	/WE	V _{ss}	NC	V _{ddq}
N	DQ	NC	V _{ss}	A	V _{ss}	DQ	NC
P	NC	DQ	V _{ss}	A	V _{ss}	NC	DQ
R	NC	A	M1	V _{dd}	M2	A	NC
T	NC	A	A	NC	A	A	ZZ
U	V _{ddq}	TMS	TDI	TCK	TDO	NC	V _{ddq}

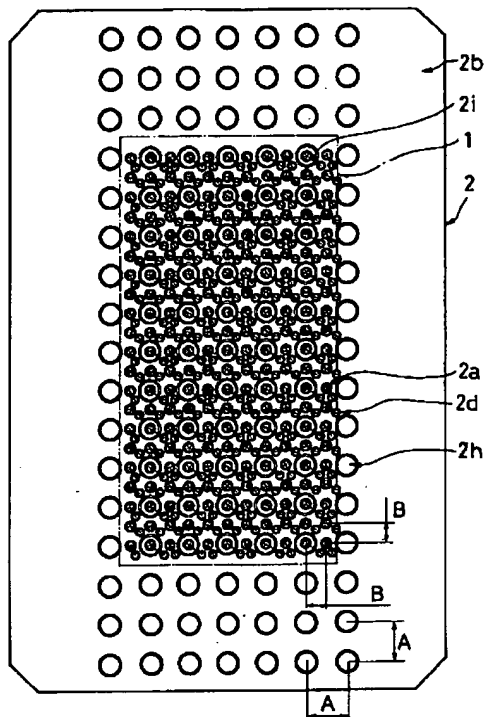
【图8】

图 8

Signal	Description
Vdd	Power supply voltage
Vddq	Output supply voltage
Vref	Input reference voltage
Vss	GND
K/K	Differential shifted LV-PECL clock
A	Address
/WE	Write enable
/SS	Address select
ZQ	Output impedance control
DQ	Data
/BWS	Byte write selects
ZZ	Chip enable
M1,M2	Mode select
TMS,TDI,TCK	IEEE 1149 test input
TDO	IEEE 1149 test output

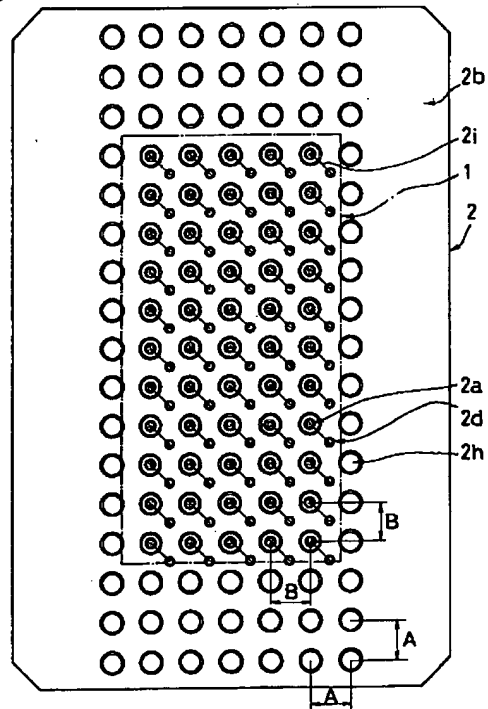
【图9】

图 9



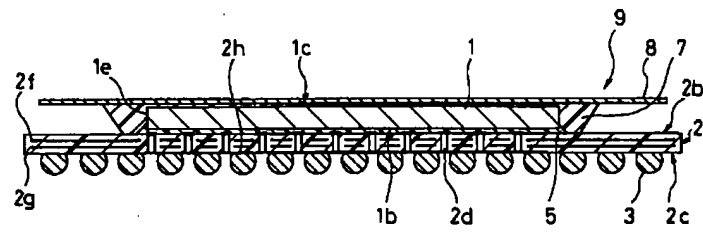
【图10】

图 10



【図11】

図11



【図12】

図12

